

?S PN=06151815

S3 1 PN=06151815
?T 3/5

3/5/1

DIALOG(R) File 347: JAPIO

(c) JPO & JAPIO. All rts. reserv.

04507915

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 06-151815 [JP 6151815 A]

PUBLISHED: May 31, 1994 (19940531)

INVENTOR(s): HANAOKA KATSUNARI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-328464 [JP 92328464]

FILED: November 13, 1992 (19921113)

INTL CLASS: [5] H01L-029/46; H01L-021/28; H01L-021/90

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JOURNAL: Section: E, Section No. 1597, Vol. 18, No. 461, Pg. 156,
August 26, 1994 (19940826)

ABSTRACT

PURPOSE: To realize a barrier layer having high barrier properties by low stress.

CONSTITUTION: An N-type diffusion layer 31 constituting a semiconductor element is formed to a P-type silicon substrate 1, a contact hole 32 on the diffusion layer 31 is formed to an SiO(sub 2) film 2 covering the surface of the substrate 1, TiN barrier metal layers 4, 5, 6 having three layer structure on a titanium layer 3 are shaped in the contact hole 32 through the titanium film 3, and an aluminum wiring 7 is formed onto the layers 4, 5, 6. The lowermost layer 4 of the barrier metal layers consists of a TiN film having columnar organization and low density, the second layer TiN film 5 on the layer 4 is composed of a TiN film having crystallite granular structure and high density, and the third layer TiN film 6 on the film 5 is made up of a TiN film having columnar organization and low density.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-151815

(43) 公開日 平成6年(1994)5月31日

(51) Int.Cl.⁵

H 0 1 L 29/46

21/28

21/90

識別記号

庁内整理番号

F I

技術表示箇所

R 7376-4M

3 0 1 R 7376-4M

D 7514-4M

審査請求 未請求 請求項の数3(全5頁)

(21) 出願番号

特願平4-328464

(22) 出願日

平成4年(1992)11月13日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 花岡 克成

宮城県名取市高館熊野堂字余方上5-10

リコー応用電子研究所株式会社内

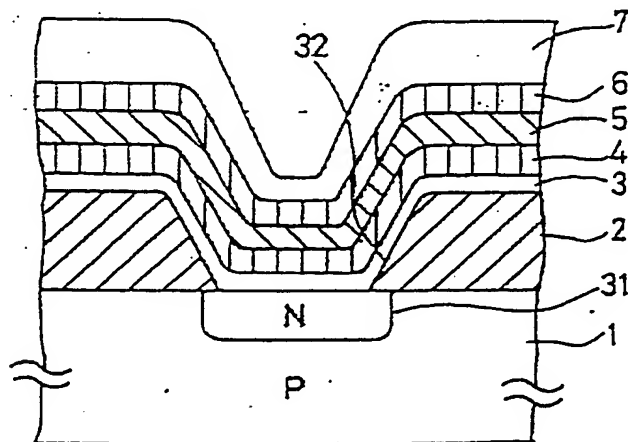
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【目的】 低応力でバリア性の高いバリア層を実現する。

【構成】 P型シリコン基板1に半導体素子を構成するN型拡散層31が形成され、基板1の表面を被うSiO₂膜2には拡散層31上にコンタクトホール32が形成され、コンタクトホール32にはチタン膜3を介し、その上に3層構造のTiNバリアメタル層4、5、6が形成され、その上にアルミニウム系配線7が形成されている。バリアメタル層の最下層4は柱状構造で低密度なTiN膜、その上の第2層目のTiN膜5は微結晶粒構造で高密度なTiN膜、その上の第3層目のTiN膜6は柱状構造で低密度なTiN膜である。



【特許請求の範囲】

【請求項1】 シリコン基板を被う絶縁膜にシリコン基板の拡散層上でコンタクトホールが形成され、そのコンタクトホールではシリコン基板とオーミック接触を得るためのメタル低抵抗層及びその上のバリアメタル層を介してアルミニウム系メタル配線層が形成されており、前記バリアメタル層は柱状構造の低密度な下層とその上の微結晶粒構造の高密度な層とを少なくとも含む多層構造であることを特徴とする半導体装置。

【請求項2】 前記バリアメタル層は柱状構造で低密度な下層とその上の微結晶粒構造で高密度な層と、さらにその上の柱状構造で低密度な層とからなる3層構造である請求項1に記載の半導体装置。

【請求項3】 以下の工程 (A) から (G) を含んでシリコン基板とのコンタクトを形成することを特徴とする半導体装置の製造方法。

(A) 不純物拡散層が形成されたシリコン基板を被う絶縁膜のうち、シリコン基板とコンタクトを形成すべき領域にコンタクトホールを形成する工程、(B) メタル低抵抗膜を堆積する工程、(C) そのメタル低抵抗膜上に、反応性スパッタリングを行ない、柱状構造で低密度な第1層目の窒化チタン膜を堆積する工程、(D) シリコン基板側に負電圧を印加し、チタンをターゲットとしたアルゴンガスと窒素ガスの雰囲気中での反応性スパッタリングにより微結晶粒構造で高密度な第2層目の窒化チタン膜を堆積する工程、(E) シリコン基板側の電圧印加を停止し、チタンをターゲットとしたアルゴンガスと窒素ガスの雰囲気中での反応性スパッタリングにより柱状構造で低密度な第3層目の窒化チタン膜を堆積する工程、(F) アルミニウム系導電膜を堆積する工程、

(G) 前記導電膜、第1、第2及び第3層目の窒化シリコン膜、並びに前記メタル低抵抗膜をパターン化して配線とする工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は大規模集積回路に適する半導体装置とその製造方法に関し、特にシリコン基板とアルミニウム系メタル配線層との間のコンタクト部分の構造に特徴をもつ半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】 シリコン基板を被う絶縁膜にコンタクトホールを設け、そのコンタクトホールを介してアルミニウム又はアルミニウムに1%程度のシリコンを含有したアルミニウム合金などにてなるメタル配線（アルミニウム系配線という）をシリコン基板に接続する場合、基板のシリコンがアルミニウム中に溶け出してスパイクを発生し、これが拡散層をつき破る不都合が生じる。そのため、シリコン基板とアルミニウム系メタル配線との間にバリアメタル層として窒化チタン (TiN) 膜を設ける

ことが行なわれている。バリアメタル層としてTiN膜を形成するには反応性スパッタリング法が用いられている。

【0003】 反応性スパッタリング法により形成された窒化チタン膜はバリア層として広く利用されているが、チタンは酸素吸着能力が大きい材料であることから、形成されたTiN膜は原子数で30%程度の酸素を含み、体積抵抗率が非常に高くなる。また、膜構造はスパッタ膜の特徴である柱状構造であり、低密度である。柱状構造で低密度なTiN膜は、柱状構造の間のポイドを通して基板のシリコンが容易に拡散することや高抵抗であるという理由から、半導体装置のシリコン基板とアルミニウム系メタル配線間の拡散防止膜としては問題がある。

【0004】 この問題を解決するために、従来は反応性スパッタリング法によりTiN膜を形成する際、基板に適当な大きさの負電圧を印加することにより、低抵抗で、かつ高密度な微結晶粒構造のTiN膜を形成している。基板に負電圧を印加すると、基板の負電圧により基板に対して不活性気体の陽イオンが加速されて衝突し、基板に堆積したTiNに付着した酸素を選択的に脱離し、また堆積中のTiN表面を活性化して原子の移動が可能になるようなエネルギーを与える。そのため、基板に印加する負電圧は、そのような作用を示すように、通常-50~-300Vの電圧に設定される。

【0005】

【発明が解決しようとする課題】 基板に負電圧を印加してTiN膜を形成すると、アルゴンイオン粒子がTiN膜に衝突することにより高い圧縮内部応力が発生する

(J. Vac. Sci. Technol., A(4), 1850-1854 (1986) 参照)。また、基板に負電圧を印加しながら形成した厚さ約1000ÅのTiN膜は内部応力が高く、550℃程度の高温でTiN膜が基板から剥離する問題がある (J. Electrochem. Soc., Vol. 130, 1215-1218 (1983) 参照)。本発明はバリアメタル層としてのTiN膜の従来の欠点を解決し、低応力でバリア性の高いバリア層をもつコンタクトを備えた半導体装置と、そのコンタクトの形成方法を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 本発明の半導体装置では、シリコン基板を被う絶縁膜にシリコン基板の拡散層上でコンタクトホールが形成され、そのコンタクトホールではシリコン基板とオーミック接触を得るためのメタル低抵抗層及びその上のバリアメタル層を介してアルミニウム系メタル配線層が形成されており、バリアメタル層は柱状構造の低密度な下層とその上の微結晶粒構造の高密度な層とを少なくとも含む多層構造である。好ましい態様では、バリアメタル層は柱状構造で低密度な下層とその上の微結晶粒構造で高密度な層と、さらにその上の柱状構造で低密度な層とからなる3層構造である。

【0007】 本発明の製造方法は以下の工程 (A) から

3

(G)を含んでいる。(A)不純物拡散層が形成されたシリコン基板を被う絶縁膜のうち、シリコン基板とコンタクトを形成すべき領域にコンタクトホールを形成する工程、(B)メタル低抵抗膜を堆積する工程、(C)そのメタル低抵抗膜上に、反応性スパッタリングを行ない、柱状構造で低密度な第1層目の窒化チタン膜を堆積する工程、(D)シリコン基板側に負電圧を印加し、チタンをターゲットとしたアルゴンガスと窒素ガスの雰囲気中での反応性スパッタリングにより微結晶粒構造で高密度な第2層目の窒化チタン膜を堆積する工程、(E)シリコン基板側の電圧印加を停止し、チタンをターゲットとしたアルゴンガスと窒素ガスの雰囲気中での反応性スパッタリングにより柱状構造で低密度な第3層目の窒化チタン膜を堆積する工程、(F)アルミニウム系導電膜を堆積する工程、(G)前記導電膜、第1、第2及び第3層目の窒化シリコン膜、並びに前記メタル低抵抗膜をパターン化して配線とする工程。

[0008]

【作用】本発明の半導体装置のコンタクトでは、バリア層の最下層が柱状構造の低密度なTiN膜で、その上に微結晶粒構造の高密度なTiN膜を含む少なくとも2層を含んでいるので、微結晶粒構造のTiN膜が高いバリア性を有し、最下層の柱状構造のTiN膜は低応力であり、高温印加時にもバリア層の下側界面での膜の剥離を防止する役割を果たす。柱状構造のTiN膜のボイドを通して拡散したシリコンは微結晶粒構造のTiN膜で止められる。微結晶粒構造のTiN膜の高い圧縮応力は下側の柱状構造のTiN膜により緩和される。

【0009】微結晶粒構造のTiN膜の上にさらに柱状構造で低密度なTiN膜を設けたときは、微結晶粒構造のTiN膜の高い圧縮応力が下層の柱状構造のTiN膜だけでなく上層の柱状構造のTiN膜によっても緩和される。柱状構造で低密度なTiN膜とするか微結晶粒構造で高密度なTiN膜とするかは、基板側に負電圧を印加しないか印加するかにより切り替えることができるので、TiN膜の堆積では基板側への負電圧の印加のオン・オフにより連続して両膜を積層することができる。

[0010]

【実施例】図1は第1の実施例を表わす。P型シリコン基板1に半導体素子を構成するN型拡散層31が形成されており、シリコン基板1の表面を被うSiO₂膜2には拡散層31上にコンタクトホール32が形成されている。SiO₂膜2上からはコンタクトホール32によって露出したシリコン基板1の表面とオーミック接触をするためのチタン膜3が約200Åの厚さに形成されている。チタン膜3上にはシリコン基板1とアルミニウム系配線とのバリア層として3層構造のTiNバリアメタル層4、5、6が形成されている。バリアメタル層の最下層4は厚さが約250Åで、柱状構造で低密度なTiN膜である。その上の第2層目のTiN膜5は厚さが約500Åで、微結晶粒構造で高密度なTiN膜であり、その上の第3層目のTiN膜6は厚さが約250Åで、柱状構造で低密度なTiN膜である。この3層のTiN膜4、5、6上にはアルミニウム系配線7がアルミニウム膜又はアルミニウムにシリコンを1%含有したアルミニウム合金膜により形成されている。チタン膜3、TiN膜4、5、6及び配線7はパターン化されている。

4

00Åで、微結晶粒構造で高密度なTiN膜であり、そのTiN膜5の結晶粒は直径100~150Å程度である。その上の第3層目のTiN膜6は厚さが約250Åで、柱状構造で低密度なTiN膜である。この3層のTiN膜4、5、6上にはアルミニウム系配線7がアルミニウム膜又はアルミニウムにシリコンを1%含有したアルミニウム合金膜により形成されている。チタン膜3、TiN膜4、5、6及び配線7はパターン化されている。

10 【0011】図1の実施例では、バリアメタル層が中間に微結晶粒構造のTiN膜5を挟んで上下の層が柱状構造のTiN膜4、6となっているので、柱状構造のTiN膜4、6の結晶粒界及びボイドが微結晶粒構造のTiN膜5で中断され、また微結晶粒構造のTiN膜5のバリア性が高いことから、上層のアルミニウム系配線7と下層のシリコン基板1が結晶粒界を通じて拡散することはない。その結果、例えば600℃で1時間の熱処理を施した後もアルミニウムスパイクによる接合破壊はみられなかった。

20 【0012】また、高圧縮応力をもつ微結晶粒構造のTiN膜5が低応力の柱状構造のTiN膜4、6により両側から挟まれており、バリアメタル層と上層のアルミニウム系配線7との界面及び下層のチタン膜3との界面はそれぞれ応力の低い柱状構造のTiN層4、6で接しているため、600℃で1時間の高温処理によっても膜の剥離もなかった。

30 【0013】図2は第2の実施例を表わす。図1の実施例と比較すると、バリアメタル層が柱状構造の第1層目のTiN膜4と微結晶粒構造の第2層目のTiN膜5の2層構造となっている点で相違する。膜厚は第1層目TiN膜4が約500Å、第2層目TiN膜5が約500Åである。

【0014】図2の実施例においても微結晶粒構造のTiN膜5が存在することによって柱状構造のTiN膜4の結晶粒界及びボイドがアルミニウム系配線7まで到達することなく、また微結晶粒構造のTiN膜5のバリア性の高いことによりアルミニウム系配線7とシリコン基板1が結晶粒界を通じて拡散することなく、600℃で1時間の熱処理によってもアルミニウムスパイクによる接合破壊はみられなかった。しかも、図1の実施例と同様に、微結晶粒構造のTiN膜5とチタン膜3との界面は応力の低い柱状構造のTiN膜4で接しているため、600℃で1時間の熱処理時にも応力による膜の剥離もなかった。

【0015】次に、図1の実施例の製造方法を図3と図4により説明する。

(A)表面にN型拡散層31が形成されているP型シリコン基板1上に、CVD法によりSiO₂絶縁膜2を形成する。

(B)ホトリソグラフィ法により絶縁膜2のN型拡散

50

層3 1に対応する領域に開口3 2を設ける。

〔0016〕(C) この開口3 2によって露出したシリコン基板1の表面と絶縁膜2の表面とに例えばスパッタリング層を用いて厚さが約200 Åのチタン膜3を堆積する。

(D) 続いて、 10^{-6} Torr台のベースプレッシャーの真空チャンバ内にこのシリコン基板をおき、アルゴンガスと窒素ガスを流量比で1:1となり、全圧が3.5 mTorrになるように導入し、D. C. マグネトロン法により0.1 W/cm²の直流電力をチタターゲットに投入することにより、第1層目の柱状構造のTiN膜4を約500 Å/分の堆積速度で、厚さ約250 Åに堆積する。この工程において、形成されるTiN膜4の柱の直径は300 Å程度である。この反応性スパッタリング法では、真空チャンバ内の全圧が3 mTorr以上の圧力で成膜すれば柱状構造のTiN膜が形成される。

〔0017〕(E) 1層目のTiN膜4の堆積を始めてから30秒後に基板側に-80 Vの電圧の印加を開始する。75秒間負電圧を印加することにより、1層目のTiN膜4上に厚さが約500 Åの微結晶粒構造のTiN膜5が堆積される。この工程で形成されるTiN膜5の結晶粒は直径100~150 Å程度である。

(F) TiN膜5を形成するための負電圧印加を停止した後、引続き30秒間スパッタリングを続けることにより、TiN膜5上に柱状構造のTiN膜6が約250 Åの厚さに堆積する。

〔0018〕(G) TiN膜6上にアルミニウム又はアルミニウムにシリコンを1%含有したアルミニウム合金にてなるアルミニウム系導電膜7を堆積する。その後、ホトリソグラフィ法によりチタン膜3、TiN膜6、2、4及び導電膜7にパターン化を施して電極や配線を形成する。

〔0019〕図2の実施例を製造する方法も図1の実施例を製造する方法と同様である。ただし、1層目TiN膜4の膜厚を図1のものより厚い約500 ÅにするためにTiN膜4のためのスパッタリング時間を60秒間と長くする点及び、3層目のTiN膜6を設けないことからそのためのスパッタリング工程が不要になる点で異なる。

〔0020〕図3及び図4の製造方法では、バリアメタル層を形成する工程では1層目のTiN膜4を堆積した後、半導体基板をチャンバから取り出すことなく連続して2層目のTiN膜5を堆積することができ、さらに3層目のTiN膜6を設けるときはそれも基板をチャンバから取り出すことなく連続して堆積することができるので、TiN膜4とTiN膜5の間、TiN膜5とTiN膜6の間に自然酸化膜が形成されることはなく、電極や

配線の抵抗が不必要に増加することがない。その結果、例えば0.3 μmサイズのコンタクトホールにおける接触抵抗も100 Ω以下の低い値であった。

〔0021〕また、反応性スパッタリング法によるTiN膜形成に使用するアルゴンと窒素以外のガスを供給して結晶粒界及びボイドを遮断する層を形成する必要がないことから、電極配線の抵抗増加を招くことがない。実施例ではバリアメタル層が3層及び2層である場合について示しているが、4層以上の場合も柱状構造のTiN膜と微結晶粒構造のTiN膜を交互に積層することにより、シリコンの粒界拡散を抑制し、かつ圧縮応力を緩和したバリアメタル層とすることができる。

〔0022〕

〔発明の効果〕本発明ではシリコン基板とアルミニウム系メタル配線との間のバリアメタル層として、柱状構造の低密度な下層TiN膜とその上の微結晶粒構造の高密度なTiN膜とを少なくとも含む多層構造としたので、柱状構造のTiN膜の結晶粒界及びボイドが微結晶粒構造のTiN膜で中断され、また微結晶粒構造のTiN膜のバリア性が高いことから、上層のアルミニウム系配線と下層のシリコン基板が結晶粒界を通じて拡散することがなくなり、その結果、例えば600℃で1時間の熱処理を施した後もアルミニウムスパイクによる接合破壊はみられなかった。

〔0023〕また、高圧縮応力をもつ微結晶粒構造のTiN膜の少なくとも下層には低応力の柱状構造のTiN膜が存在するので、600℃1時間の高温処理によってもバリア層の剥離もなかった。高圧縮応力をもつ微結晶粒構造のTiN膜の上下を低応力の柱状構造のTiN膜で挟む構造にすることにより、さらに応力を緩和することができる。

〔図面の簡単な説明〕

〔図1〕一実施例を示す要部断面図である。

〔図2〕他の実施例を示す要部断面図である。

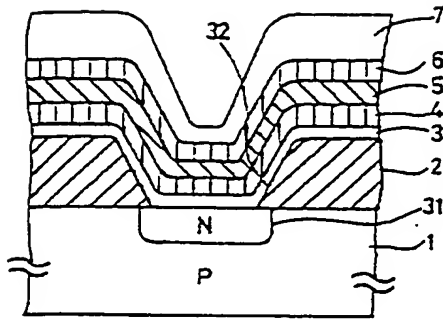
〔図3〕一実施例の製造方法を示す工程前半の断面図である。

〔図4〕同実施例の製造方法を示す工程後半の断面図である。

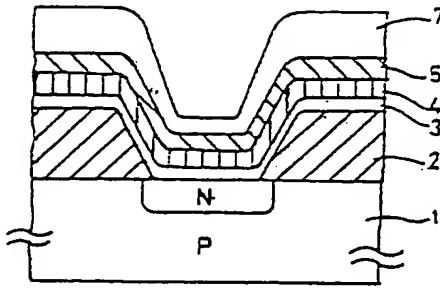
〔符号の説明〕

- | | |
|------|-------------|
| 1 | P型シリコン基板 |
| 2 | 絶縁膜 |
| 3 | チタン膜 |
| 4, 6 | 柱状構造のTiN膜 |
| 5 | 微結晶粒構造のTiN膜 |
| 7 | アルミニウム系配線 |
| 3 1 | N型拡散層 |
| 3 2 | コンタクトホール |

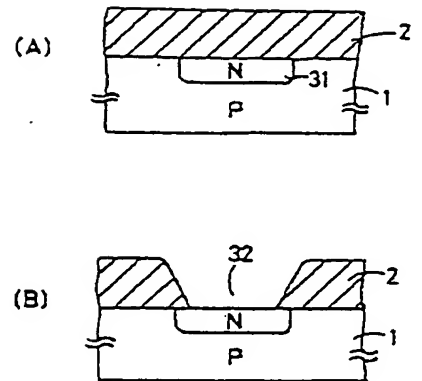
〔圖 1〕



〔圖 2〕



〔圖 3〕



〔圖 4〕

